

一种用于植入式眼压检测芯片的低功耗模拟前端电路

陈铖颖¹, 陈黎明¹, 张 锋²

(1 厦门理工学院 微电子学院, 福建 厦门 361024; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 面向植入式、高精度、实时眼压检测应用, 本文提出了一种低功耗的模拟前端电路结构. 模拟前端主要包括全集成、亚阈值前端放大器以及 10 bit, 20 kS/s 低功耗逐次逼近模数转换器两部分. 前端放大器采用亚阈值区晶体管实现 $G\Omega$ 级别的伪电阻, 在反馈回路中该伪电阻与反馈电容并联产生高通截止点以抑制直流失调电压和低频噪声. 逐次逼近模数转换器采用电荷分布型数模转换器结构, 经过功耗优化, 实现了性能和功耗的良好折中. 电路采用 SMIC 0.18 μm 1P6M 工艺进行实现, 后仿真结果表明, 电源电压为 1.8 V 时, 在 20 kS/s 时钟频率下, 整体模拟前端信噪失真比为 58.3 dB, 有效位数可达 9.4 bit, 平均功耗仅为 76 μW .

关键词: 眼压检测; 低功耗; 逐次逼近模数转换器

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2018)01-0041-05

A Low Power Analog Front-end for Implantable Intraocular Pressure Detection Chip

CHEN Cheng-ying¹, CHEN Li-ming¹, ZHANG Feng²

(1 School of microelectronics, Xiamen University of Technology, Xiamen 361024, China;

2 Key Laboratory of Microelectronics Devices & Integrated Technology, Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: For implantable, high-resolution and real-time intraocular pressure detection, a low power analog front-end (AFE) consisting of full-integrated, subthreshold front-end amplifier and 10bit, 20ks/s low power successive approximation analog-to-digital converter (SAR ADC) is proposed in this paper. The subthreshold transistors are adopted as pseudo-resistor with $G\Omega$ value, which is paralleled with feedback capacitor to generate high-pass path to restrict DC offset voltage and low-frequency noise. SAR ADC with charge-retribution DAC structure is optimized to realize tradeoff between performance and power consumption. The circuit is fabricated with SMIC 0.18 μm CMOS process and the poset-simulation results show that in 1.8 V supply voltage, the signal-to-noise plus distortion ratio (SNDR) is 58.3 dB, effective number of bits (ENOB) reaches 9.4 bit with 20 kS/s clock frequency, and consumes only 76 μW power consumption.

Key words: intraocular pressure detection; low-power; SAR ADC

1 引言

青光眼作为一种危害性极大的眼科疾病, 近年来受到医学界的普遍关注. 青光眼最直接的症状就是使得患者的眼压逐渐升高. 为了真实反映患者的眼压状况, 实现高精度、实时测量, 且随着系统级芯

片的快速发展, 植入式眼压检测芯片应运而生^[1-2]. 植入式眼压检测芯片主要包括压力传感器、模拟前端电路、数字处理电路以及射频天线等主要部分. 由于芯片仅依靠天线线圈进行供电, 因此在实现高精度检测的同时, 还应该兼顾低功耗的设计要求.

模拟前端电路是植入式眼压检测芯片中最为

重要的模块,它将压力传感器的微弱电压信号进行放大以及模数转换,传输至数字电路进行处理.它的噪声、功耗以及精度决定着整颗芯片的成败.本文针对该应用,提出一种全集成、低功耗的模拟前端设计方案,主要由前端放大器和逐次逼近模数转换器两部分构成.前端放大器采用亚阈值区晶体管实现 $G\Omega$ 级别的伪电阻,在反馈回路中该伪电阻与反馈电容并联产生高通截止点以抑制直流失调电压和低频噪声,消除了片外隔直电容,实现了电路的全集成.逐次逼近模数转换器采用电荷分布型数模转换器结构,经过功耗优化,实现了性能和功耗的良好折中.模拟前端经过测试验证,在 1.8 V 电源电压,20 kHz 时钟频率时,65 Hz 正弦波输入下,输出信噪失真比达到 58.3 dB,功耗仅为 76 μ W,满足植入式眼压芯片的应用需求.

2 植入式眼压检测芯片

植入式眼压检测芯片如图 1 所示,主要包括电桥式压力传感器、模拟前端(放大器和 SAR ADC),时钟提取电路、解调器、调制器、CMOS 整流器以及天线^[3].压力传感器感受眼压变化,并将其转换为电压值.通常需要检测的眼压汞柱为 80 个,每个汞柱压力对应 8 μ V 的电压变化,因此对应整体需要检测的电压范围为 640 μ V.由于眼内区域狭小,仅有大约 8 平方毫米的空间可供芯片放置,为了尽可能减少片外器件的应用,本文提出全集成的模拟前端电路方案:即采用高通型、亚阈值放大器,无需片外隔直电容,由电路自身产生高通截止点,滤除压力传感器产生的直流失调电压,并产生 40 dB 的增益,将微弱电压信号放大 100 倍,以增加模数转换器的动态范围.之后,逐次逼近模数转换器再将模拟电压信号数字化,传输至数字处理模块进行分析.眼压信号的检测精度通常在 5~6 bit,频率在 100 Hz 之内,为了留出设计余量,本文采用 10 bit/20ksps 的 SAR ADC 作为模数转换模块.量化后的数字信号再通过调制、解调经由天线发送至体外终端进行实时显示.

由于眼压芯片仅依靠射频能量进行供电,为了保证芯片长时间、持续的工作状态,必须对整体芯片进行低功耗设计.此外,由于压力传感器输出信号微弱,容易受到噪声的干扰.因此在放大器中我们采用亚阈值的跨导放大器设计思路,在功耗和噪声之间选取折中设计.而逐次逼近模数转换器相比其他模数转换器结构,不包含跨导放大器,具有天然的功耗优势.最终本文选择以上两类电路作为模拟前端的组成部分.

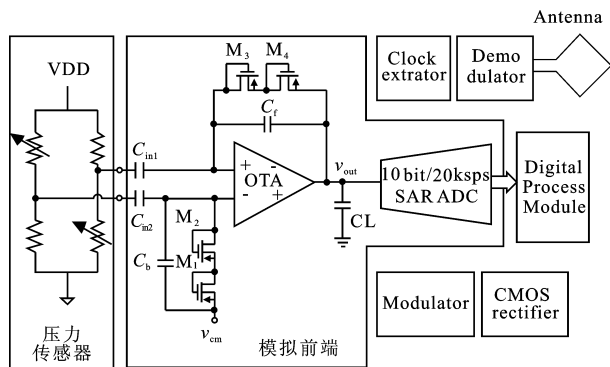


图 1 植入式眼压检测芯片

3 电路设计

3.1 前端放大器

如图 1 所示,前端放大器为差分输入,单端输出结构. $M_1 \sim M_4$ 为工作在亚阈值区的二极管连接的 PMOS 晶体管,它们分别等效为单个伪电阻.其单个晶体管尺寸设置为 $10\mu/1\mu$. $M_1 \setminus M_2$ 组成的电阻支路在输入电容 C_{in2} 之后,与共模输入电容 C_b 并联,为 OTA 提供共模输入电压. $M_3 \setminus M_4$ 则与反馈电容 C_f 并联,形成高通通路,滤除压力传感器输出信号中的直流失调电压.采用 $M_1 \setminus M_2$ ($M_3 \setminus M_4$) 两个晶体管串联的方式有利于降低大输入信号时在输入通路以及反馈通路上产生的等效失真.同时,两个晶体管的等效串联电阻可以达到 10^{11} 欧姆以上.在这种情况下, $M_3 \setminus M_4$ 和 C_f 并联就可以获得极低的截止频率.假设 $M_1 \setminus M_2$ ($M_3 \setminus M_4$) 串联形成的等效电阻为 R_p ,推导放大器的传输函数为^[4-6]:

$$H(s) = \frac{C_{in}}{C_f} \times \frac{s C_f R_p}{s^2 \frac{C_L R_p (C_f + C_{in})}{G_m} + s \frac{C_L R_p G_m C_f}{G_m} + 1} \quad (1)$$

$$= \frac{C_1}{C_f} \times \frac{s C_f R_p G_m}{s^2 (C_f + C_1) C_L R_p + (C_L + C_f R_p G_m) s + G_m}$$

式中 G_m 是跨导放大器的等效跨导, C_L 为放大器的负载电容.

从式(1)得到前端放大器的低频增益 A_M 为:

$$A_M = \frac{C_{in}}{C_f} \quad (2)$$

在放大器传输函数中,两个极点 P_1 和 P_2 一般相距较远,即满足 P_2 远大于 P_1 ,从式(1)可分别得到 P_1 和 P_2 的表达式为:

$$P_1 = \frac{G_m}{2\pi(C_L + G_m R_p C_f)} \approx \frac{1}{2\pi R_p C_f}, \quad C_L \ll G_m C_f R_p \quad (3)$$

$$P_2 = \frac{G_m C_f R_p + C_L}{2\pi C_L R_p (C_f + C_1)} \approx \frac{G_m}{2\pi A_M C_L},$$

$$C_L \ll G_m C_f R_P \quad (4)$$

从传输函数中还可以看出电路在直流状态下存在一个零点,结合极点 P_1 和 P_2 ,可知前端放大器的频率响应应具有选通特性.放大器的低频截止频率可以表示为:

$$\omega_L = 1/(R_{M3} + R_{M4})C_f \quad (5)$$

整体放大器的带宽由 C_L 决定,可以表示为:

$$BW = G_m/(A_M \cdot C_L) \quad (6)$$

同时,前端放大器等效输入噪声 $\overline{v_{in,amp}^2}$ 与跨导放大器的等效输入噪声 $\overline{v_n^2}$ 的关系为:

$$\overline{v_{in,amp}^2} = \left(\frac{C_1 + C_f + C_{p,in}}{C_1} \right)^2 \times \overline{v_n^2} \quad (7)$$

从式(7)看出,要减小前端放大器的整体噪声,必须使得工作在亚阈值区的跨导放大器具有较低的噪声,因此在跨导放大器设计时必须兼顾功耗和噪声.为了满足信号建立精度在 0.5% 的设计要求,使得信号精确放大,跨导放大器的开环增益必须超过 90 dB;同时,PMOS 晶体管的闪烁噪声小于 NMOS 晶体管,可以选取 PMOS 作为输入晶体管;综合以上因素,本文采用以 PMOS 为输入差分对管、共源级作为输出级的两级跨导放大器结构,如图 2 所示.

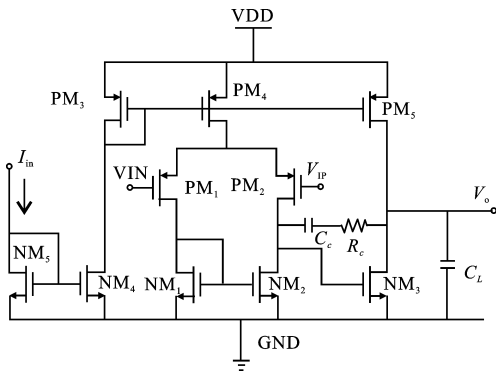


图2 带有RC补偿的二级跨导放大器

跨导放大器的噪声主要来源于第一级放大器的热噪声和 $1/f$ 噪声.对于等效输入噪声有:

$$\overline{v_{n,in}^2} = 2 \times \left[\frac{8}{3} \times KT \left(\frac{1}{g_{m,PM1,2}} + \frac{g_{m,NM1,2}}{g_{m,PM1,2}} \right) + \frac{K_P}{C_{OX}(WL)_{PM1,2}f} + \frac{K_N}{C_{OX}(WL)_{NM1,2}f} \times \frac{g_{m,NM1,2}^2}{g_{m,PM1,2}^2} \right] \quad (8)$$

根据式(8),为了获得较好的噪声性能,必须增大输入晶体管 PM_1 和 PM_2 的尺寸,同时在一一定的电流约束下获得最大的跨导值.并适当增大负载管的尺寸,从而减小负载管 NM_1 和 NM_2 的跨导.因为输入晶体管的噪声是跨导放大器噪声的主要来

源,为了获得最大的跨导电流比,我们将输入晶体管偏置于亚阈值区.而其他晶体管则工作在饱和区,稳定电路工作状态^[7].

3.2 逐次逼近模数转换器

逐次逼近模数转换器结构如图3所示,主要由二进制权重的电容数模转换器阵列(DAC)、比较器、逐次逼近寄存器和控制逻辑组成.本文设计的SAR ADC主要应用于植入式眼压检测芯片中,工作在低电源电压环境下,因此以低功耗,中等精度为设计目标.

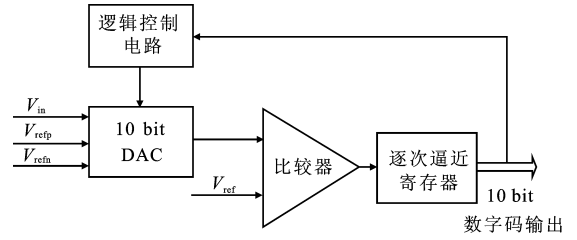


图3 SAR ADC 结构

电荷再分配型DAC是目前应用最为普遍的结构,其内部电容阵列呈二进制比例增长.它根据二进制数字输入将电容阵列中存储的电荷重新分配,产生对应于参考电压的模拟输出,不需要额外的采样保持电路.由于电容阵列DAC无静态功耗,所以非常适用于低功耗的实现.同时为了减小DAC阵列规模,本文选取分段电容阵列的实现方式,高位和低位电容分别设置为6 bit和4 bit的.DAC电容阵列如图4所示.

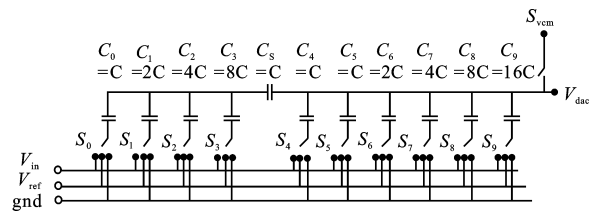


图4 DAC分段电容阵列

分段电容阵列工作原理为:在采样相,开关 $S_0 \sim S_3$ 连接至地电位,开关 $S_4 \sim S_9$ 连接输入信号 V_{in} ,共模开关 S_{vcm} 闭合,此时电容上极板的电荷为:

$$Q = 32C \times (V_{CM} - V_{in}) + (15C // C) \times V_{CM} \quad (9)$$

在保持相,开关 $S_0 \sim S_9$ 连接至地,共模开关 S_{vcm} 断开,使得电容上极板悬空.此时 V_{up} 的电压为:

$$V_{up} = \frac{32C \times (V_{CM} - V_{in}) + (15C // C) \times V_{CM}}{32C + (15C // C)} = V_{CM} - \frac{512}{527} V_{in} \quad (10)$$

在再分配相,先将 DAC 最高位置为逻辑“1”,即将开关 S_9 接到参考电压 V_{ref} ,其他开关保持状态不变,此时 V_{up} 处的电压为:

$$V_{up} = \frac{256}{271}(-V_{in} + \frac{1}{2}V_{ref}) + V_{CM} \quad (11)$$

如果 $V_{in} > 1/2V_{ref}$,则比较器输出 0,比较器的输出结果通过逐次逼近寄存器控制电容阵列的开关,此时 MSB 位保持为 1,反之,则将 MSB 清零,从而确定最高位的数字码。之后再将次高位置 1,进行比较。以此类推,直到最后一位确定为止。

由于比较器的失调电压会噪声整体 ADC 产生输出失码现象,所以通常需要对比较器进行失调校准^[8-9]。失调校准比较器包括预放大器和锁存比较器,利用输入存储和输出存储实现失调电压的降低。比较器电路如图 5 所示,电容 C_1 、 C_2 、 C_3 、 C_4 为失调存储电容。当开关 S_2 至 S_6 闭合, S_1 断开时,预放大器和锁存比较器的失调电压存储在电容 C_1 至 C_4 中;而当开关 S_1 闭合, S_2 至 S_6 断开时,比较器完成失调电压抵消和输入信号的比较。

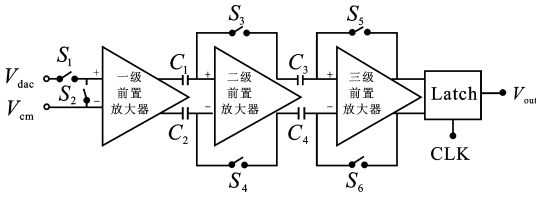


图 5 比较器结构图

4 后仿真结果

本次设计的模拟前端电路采用中芯国际 CMOS 0.18 μm 1P6M 工艺进行设计,模拟前端版图如图 6 所示,面积为 $1800 \mu\text{m} \times 850 \mu\text{m}$ 。

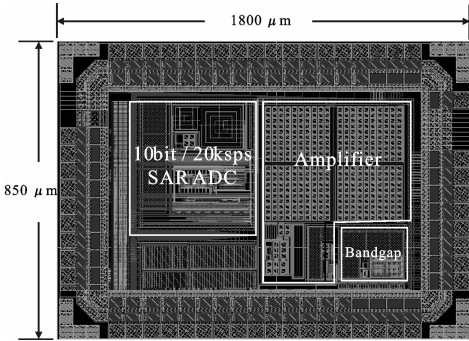


图 6 模拟前端整体版图

完成模拟前端版图后,我们对整体版图进行寄生参数提取的后仿真验证。首先对前端放大器的频率特性进行仿真,如图 7 所示。放大器的 3 dB 带宽范围为

0.25 Hz 至为 46 kHz,通带内增益为 40 dB,且增益平坦度良好。100 Hz 的眼压信号位于通带之内。

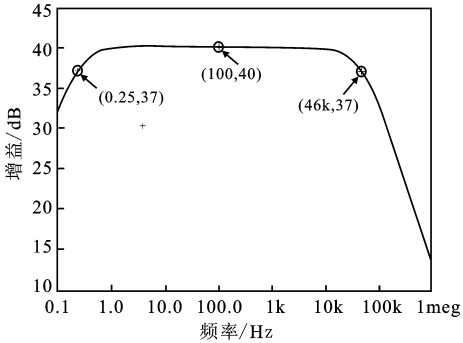


图 7 低噪声放大器的增益曲线

噪声是放大器最为重要的性能指标。噪声后仿真结果如图 8 所示。在 100 Hz 处,放大器的等效输入噪声为 197.3 nVrms,噪声较低。

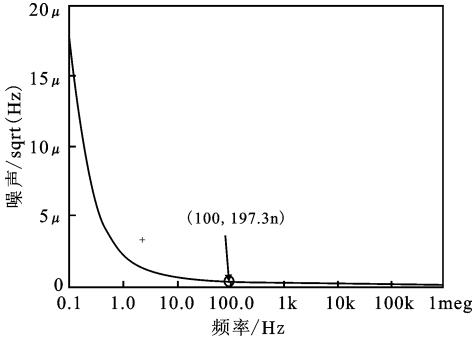


图 8 低噪声放大器的噪声曲线

噪声因子(NEF)^[4]是综合衡量放大器功耗和噪声的指标。NEF 定义为:

$$NEF = V_{ni,rms} \sqrt{\frac{2I_{tot}}{\pi \cdot V_T \cdot 4KT \cdot BW}} \quad (12)$$

式中, $V_{ni,rms}$ 为放大器的等效输入噪声:

$$V_{ni,rms} = \sqrt{\frac{4KT \cdot V_T BW \cdot \frac{\pi}{2}}{k^2 I_{D1}}} \quad (13)$$

I_{tot} 为放大器的总电流,在本次设计中有 $I_{tot} = 5.5I_{D1}$;BW 为放大器带宽。联立式(12)、(13)可以得到:

$$NEF = \sqrt{\frac{5.5}{k^2}} = \sqrt{\frac{5.5}{0.49}} \approx 3.35 \quad (14)$$

最后对模拟前端电路输出信号进行频谱分析。如图 9 所示,当电源电压为 1.8 V,采样时钟频率为 20 kHz,输入信号频率为 65 Hz 时,峰峰值 12 mV 时,信噪失真比为 58.3 dB,有效位数为 9.4 bit。同时进行功耗仿真,整体模拟前端功耗仅为 76 μW 。整体模拟前端性能指标如表 1 所示。由此看出模拟前端在输出信

号信噪比和功耗之间取得了良好的折中.

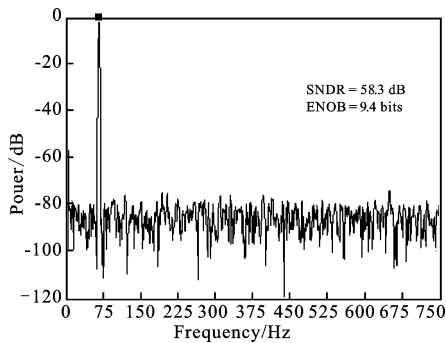


图 9 输出信号频谱图

表 1 模拟前端后仿真结果

参数	后仿真结果
工艺 / μm	CMOS 0.13
供电电压 /V	1.8
放大器增益/dB	40
信号带宽/kHz	46
输入参考噪声/nVrms	197.3@100Hz
信噪失真比/dB	58.3
功耗/ μW	76
面积/ mm^2	1.53

5 结束语

本文针对植入式眼压检测应用,在 SMIC 0.18 μm 工艺基础上设计了一款低功耗、高精度的模拟前端电路.模拟前端主要包括全集成前端放大器和 10 bit/20ksp/s 逐次逼近模数转换器两部分.前端放大器采用工作在亚阈值区的伪电阻与反馈电容并联,消除了压力传感器中的直流失调电压.而跨导放大器中的输入晶体管采用亚阈值晶体管进行设计,取得了良好的功耗和跨导折中.而逐次逼近模数转换器采用无静态功耗的电荷再分配型 DAC 进行设计,以满足低功耗需求;比较器利用失调输入和输出存储技术对比较器失调电压进行校准.后仿真结果显示,当电源电压为 1.8 V 时,放大器带宽从 0.25 Hz 至 46 kHz,在 100 Hz 时的等效输入噪声仅有 197.3 nVrms.当采样时钟频率为 20 kHz,输入信号频率 65 Hz,峰峰值 12 mV 时,无杂散动态范围为 58.3 dB,有效位数达到 9.4 bit,功耗仅为 76 μW ,满足眼压检测芯片的应用需求.

参考文献:

[1] Donida A, Dato G Di, Cunzolo P, et al. A circadian and cardiac intraocular pressure sensor for smart implantable lens[J]. IEEE transactions on biomedical circuit and systems,2015, 9(6):777.

[2] Chitnis G, Maleki T, Samuels B, et al. A mini-manly invasive implantable wireless pressure sensor for continuous IOP monitoring [J]. IEEE Trans. Biomed. Eng. , 2013, 60(1):250-256.

[3] Donida A, Di Dato G, Cunzolo P, et al. A 0.036mbar circadian and cardiac intraocular pressure sensor for smart implantable lens[J]. IEEE Int. Solid-State Circuits, 2015, 58(6):1-3.

[4] Harrison R R, Charles C. A low-power low-noise CMOS amplifier for neural recording application [J]. IEEE Journal of Solid-State circuit, 2003, 38 (6): 958-965.

[5] Wattanapanitch W, Fee M, Sarpreshkar R. An energy-efficient micropower neural recording amplifier. [J]. IEEE Trans. Biomed. Circuits Syst, 2007, 1 (2): 136-147.

[6] Qian C, Parramon J, Sanchez-Sinencio E. A micropower low-noise neural recording front-end circuit for epileptic seizure detection [J]. IEEE Journal of Solid-State circuit, 2011,46(6):1392-1405.

[7] Zou X,Xu X,Yao L, et al. A 1 V 450 nW fully integrated programmable biomedical sensor interface chip [J]. IEEE Journal of Solid-State circuit, 2009,44(4): 1067-1077.

[8] 陈铖颖,黑勇,胡晓宇.一种轨至轨 10 位逐次逼近模数转换器的设计[J]. 微电子学,2012, 42(5):601-608.

[9] Hong H, Lee G. A 65 fJ /conversion-step 0.9 V 200 kS /s rail-to-rail 8 bit successive approximation ADC [J]. IEEE Journal of Solid-state Circuits, 2007, 42 (10): 2161-2168.

作者简介:

陈铖颖 男,(1982-),博士,副研究员.研究方向为混合信号集成电路设计. E-mail: chenchengying363@163.com.

陈黎明 男,(1982-),博士,副研究员.研究方向为低功耗数字集成电路及处理器设计.

张 锋 男,(1977-),博士,副研究员.研究方向为高速串行接口及存储器设计.